

تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ○ ندارد ●

نام درس: الکترونیک دیجیتال  
رشته تحصیلی/گد درس: سخت افزار (تجميع) ۱۱۱۵۲۰۲

کد سری سوال: یک (۱) استفاده از: ماشین حساب ساده مجاز است. منبع: --

پیامبر اعظم (ص). روزه سپر آتش جهنم است.

۱. با توجه به سیگنالهای X و Y زیر سیگنالهای خروج M و N کدام است؟

X:	1	0	1	1	0	1	0
Y:	1	1	1	0	0	0	1
M:	0	1	0	0	1	0	1
N:	1	0	1	0	0	0	0

الف.  $M = X'Y$ ,  $N = X.Y$

ب.  $M = X'Y$ ,  $N = \overline{X.Y}$

ج.  $M = Y'$ ,  $N = \overline{X.Y}$

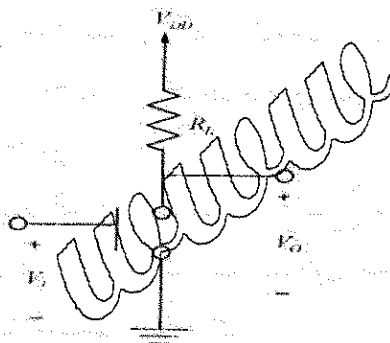
د.  $M = (X + Y)$ ,  $N = X.Y$

۲. در مدار زیر مقدار  $V_{OH}$  و  $V_{OL}$  چقدر است.  
(مقاومت کلید در حالت on)

$V_{DD} = 5.5V$

$R_L = 10K\Omega$

$R_{on} = 1k\Omega$



الف.  $V_{OL} = 0/5$ ,  $V_{OH} = 5V$

ب.  $V_{OL} = 0$ ,  $V_{OH} = 5V$

ج.  $V_{OL} = 0$ ,  $V_{OH} = 5.5V$

د.  $V_{OL} = 0/5$ ,  $V_{OH} = 5.5V$

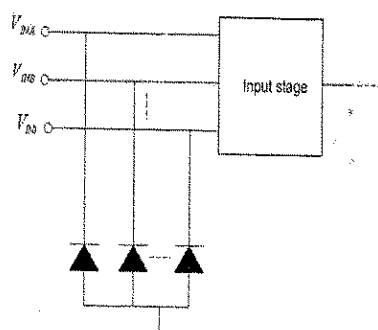
۳. نقش دیودهای محدود کننده در شکل زیر چیست؟

الف. حداکثر ولتاژ ورودی گیت را محدود می کند.

ب. باعث می شود ورودیهای گیت کمتر از  $-0.7V$  بروند.

ج. مشکل خرابی گیت هنگام تغییر ولتاژ ورودی از بالا به پایین را از بین می برد

د. مشکل خرابی گیت هنگام تغییر ولتاژ ورودی را از پایین به بالا را مقداری تعدیل می کند.



نام درس: الکترونیک دیجیتال

رشته تحصیلی/کد درس: سخت افزار (تجميع) ۱۱۱۵۲۰۲

تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ○ ندارد ●

کد سری سوال: یک (۱) استفاده از: --- مجاز است. --- منبع: ---

۴. در دیود ناحیه تخلیه چیست؟

الف. ناحیه ای است که در اثر عبور حفره در حالت کار در مرز دو ناحیه P و N بوجود می آید.

ب. ناحیه ای است که در اثر عبور الکترون در حالت کار در مرز دو ناحیه P و N بوجود می آید.

ج. ناحیه ای در مرز پیوند است که در اثر مقداری نفوذ حفره در قسمت P و تعدادی الکترون در قسمت N بوجود آمده است.

د. ناحیه ای در مرز پیوند است که در اثر مقداری نفوذ الکترون در قسمت P و مقداری حفره در قسمت N بوجود آمده است.

۵. اگر در Mosfet افزایش جری سوری و درین را عوض کنیم تغییری در مشخصه های عنصر ایجاد می شوند؟

الف. ولتاژ آستانه  $V_t$  کاهش می یابد.

ب. ولتاژ آستانه  $V_t$  افزایش می یابد.

ج. هیچ تغییری در مشخصه های عنصر ایجاد نمی شود.

د. جریان درین به سوری افزایش می یابد.

۶. تراشه های CMOS و NMOS بترتیب با چه نوع ویفرهایی آغاز می شوند؟

الف. P-N

ب. N-P

د. N-N

ج. P-P

۷. برای پیاده سازی تابع  $F = (AB + (C + D) + E)$  توسط ترانزیستور nmos با بار مقاومتی حداقل چند ترانزیستور لازم است؟

د. ۸

ج. ۷

ب. ۶

الف. ۵

۸. در ترانزیستور pmos تخلیه ای شرط وصل کردن و شرط کار در ناحیه تریودی بترتیب چیست؟

الف.  $V_{DS} \geq V_{GS} - V_t$  ,  $V_{GS} < V_t$

ب.  $V_{DS} \leq V_{GS} - V_t$  ,  $V_{GS} < V_t$

ج.  $V_{DS} \geq V_{GS} - V_t$  ,  $V_{GS} > V_t$

د.  $V_{DS} \leq V_{GS} - V_t$  ,  $V_{GS} > V_t$

نام درس: الکترونیک دیجیتال

رشته تحصیلی/گد درس: سخت افزار (تجربیه) ۱۱۱۵۲۰۲

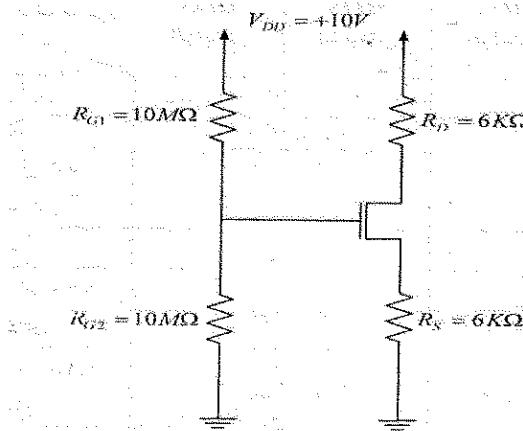
تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ○ ندارد ●

مجاز است. --- منبع: ---

استفاده از: ---

گد سری سوال: یک (۱)

۹. در مدار شکل زیر با فرض  $v_t = 1$ ,  $k_n = 0.5 \text{ m/v}^2$  و صرف نظر از اثر مدوله سازی طول کانال مقدار  $V_G$  چقدر است؟



الف. ۴ V

ب. ۵ V

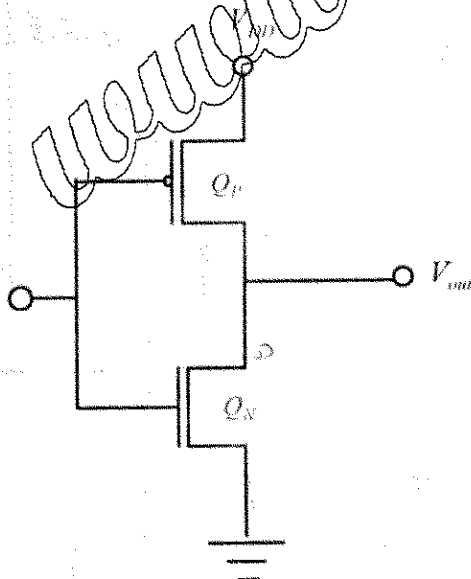
ج. ۶ V

د. ۷ V

۱۰. کدام گزینه صحیح است؟

- الف. عملاً در ساخت تمام مدارهای منطقی و حافظه های NMOS از تکنولوژی بار کاهشی استفاده می شود.  
ب. ساخت مدارهای منطقی NMOS مشکل است.  
ج. معکوس کننده NMOS با بار کاهشی نسبت به بار افزایشی سطح بیشتری روی تراشه اشغال می کند.  
د. NMOS توانائی زیادی در تحریک بار دارد.

۱۱. در مورد معکوس کننده CMOS کدام گزینه صحیح است؟



- الف. تلف توان ایستای مدار زیاد است.  
ب. قابلیت تحریک بار کم است.  
ج. ولتاژ خروجی تقریباً صفر یا VDD می باشد.  
د. QP ترانزیستور پایین بر و QN ترانزیستور بالا بر نامیده می شود.

تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ☐ ندارد ☒

نام درس: الکترونیک دیجیتال

رشته تحصیلی/گد درس: سخت افزار (تجميع) ۱۱۱۵۲۰۲

منبع: --

مجاز است.

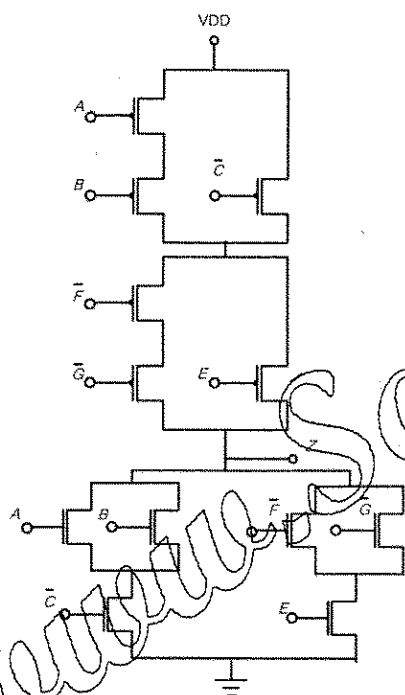
استفاده از: --

گد سری سوال: یک (۱)

۱۲. کدام گزینه صحيح است ؟

- الف . در NMOS به ازای افزایش هر ورودی دو ترانزیستور به مدار اضافه می شود .  
ب . در CMOS به ازای افزایش هر ورودی یک ترانزیستور به مدار اضافه می شود .  
ج . برای بدست آوردن دوگان یک تابع AND ها به OR و بر عکس تبدیل می شوند و متغیر های مکمل دار نیز بدون تغییر باقی می مانند .  
د . در CMOS قسمت بالا بر مطابق شکل تابع اصلی توسط NMOS یا PMOS ایجاد می شود .

۱۳. مدار CMOS شکل زیر کدام گزینه را پیاده سازی می کند؟

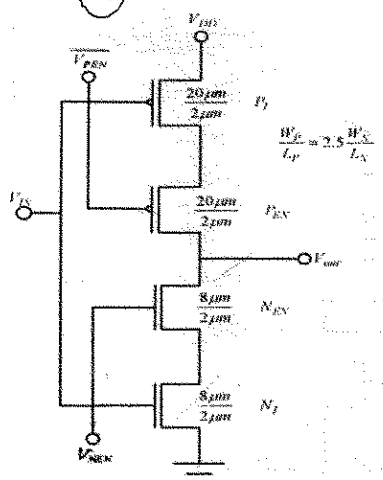
الف .  $[(A.B) + \bar{C}].(E + (\bar{F}.G))$ ب .  $[(A + B). \bar{C} + E.(\bar{F} + G)]$ ج .  $[(A + B). \bar{C} + E.(\bar{F} + G)]$ 

د . گزینه های الف و ج

۱۴. کدام گزینه در مورد مدار معکوس کننده سه حالته CMOS شکل زیر صحيح است ؟

VIN و VPEN و VNEN ورودی ها و VOUT خروجی مدار است.

- الف . اگر هر سه ورودی پایین باشد خروجی پایین خواهد بود .  
ب . اگر VIN بالا و VPEN و VNEN پایین باشد خروجی امپدانس بالا خواهد بود .  
ج . اگر هر سه ورودی بالا باشد خروجی بالا خواهد بود .  
د . اگر VIN و VPEN پایین و VNEN بالا باشد خروجی پایین خواهد بود .



نام درس: الکترونیک دیجیتال

رشته تحصیلی/گد درس: سخت افزار (تجميع) ۱۱۱۵۲۰۲

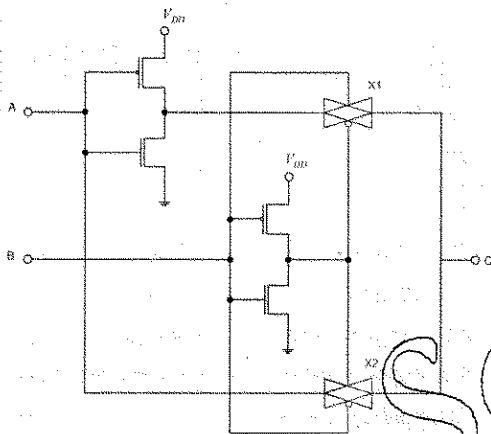
تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ○ ندارد ●

گد سری سوال: یک (۱) استفاده از: --- مجاز است. منبع: ---

۱۵. کدام گزینه صحيح است ؟

- الف . برای مقایسه خانواده های مدارهای منطقی ، هر چه  $D_p = t_p p_D$  کمتر باشد بهتر است .  
ب . عملکرد استاتیک معکوس کننده منطقی با تاخیر انتشار  $t_p$  مشخص می شود .  
ج . عملکرد پویای معکوس کننده منطقی با نمودار مشخصه انتقال ولتاژ آن مشخص می شود .  
د . در معکوس کننده CMOS اثر بدنه زیاد است و در مدارهای NMOS اثر بدنه وجود ندارد .

۱۶) مدار مثال زیر که با استفاده از گیت انتقالی ایجاد شده است ، چه تابعی را پیاده سازی میکند؟



ب . NAND  
د . XOR

الف . AND  
ج . NOR

۱۷. کدام گزینه در مورد منطق شبه NMOS غلط است ؟

- الف . مدار منطق شبه NMOS همان مدار منطقی NMOS است با این تفاوت که ترانزیستور بار آن PMOS می باشد.  
ب . در منطق شبه NMOS حتی وقتی که خروجی تغییر حالت نمی دهد ، مصرف توان وجود دارد .  
ج . در منطق شبه NMOS اندازه ترانزیستور NMOS را کمتر از PMOS می گیرند .  
د . انتقال خروجی از صفر به یک در منطق شبه NMOS کند است .

۱۸. کدام گزینه غلط است ؟

- الف . از مزایای مدارهای تفاضلی حساسیت کمتر نسبت به نویز و کمتر بودن مساحت و تعداد ترانزیستور سری شده ، نسبت به مدارات معمولی CMOS است .  
ب . مدارهای تفاضلی مصرف توان استاتیکی زیادی دارند .  
ج . به دلیل استفاده از کلاک عملکرد مدار با منطق پویا خیلی پیچیده است .  
د . اتصال چندین گیت با منطق پویا بصورت زنجیر وار به هم در منطق دامینو امکان پذیر است .

تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ○ ندارد ●

نام درس: الکترونیک دیجیتال  
رشته تحصیلی/گد درس: سخت افزار (تجميع) ۱۱۱۵۲۰۲

منبع: --- مجاز است.

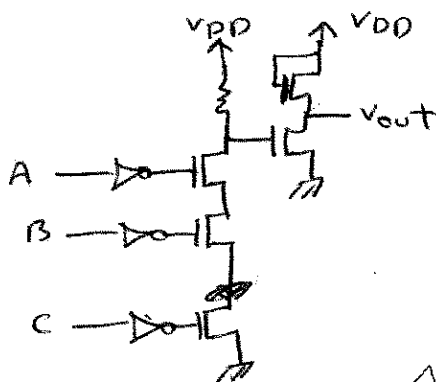
استفاده از: ---

گد سری سوال: یک (۱)

۱۹. کدام گزینه غلط است؟

- الف. لچ ها حساس به لبه و فلیپ فلاپها حساس به سطح هستند  
ب. لچ ها و فلیپ فلاپها به عنوان سلولهای حافظه استفاده می شوند.  
ج. لچ ها و فلیپ فلاپها را می توان هم به صورت پویا و هم بصورت ایستا پیاده سازی کرد.  
د. چگالی در پیاده سازی پویا بالاتر از ایستا است.

۲۰. مدار زیر چیست؟

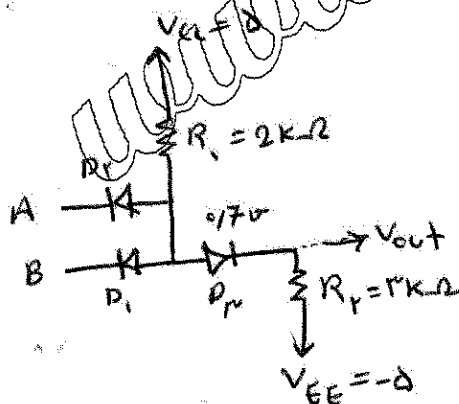


- الف. XOR  
ب. NAND  
ج. NOR  
د. AND

۲۱. کدامیک از موارد زیر جزء مزایای گیت انتقالی نسبت به ترانزیستور عبوری است؟

- الف. توان مصرفی کمتری دارد.  
ب. سرعت تبدیل از یک به صفر بالایی دارد  
ج. افت ولتاژ ایجاد نمی کند.  
د. هیچکدام

۲۲. در مدار زیر  $V_{OL}$  و  $V_{OH}$  را بدست آورید؟  $V_{D(on)} = 0.7V$



- الف.  $V_{OL} = 0$  ,  $V_{OH} = 4.3$   
ب.  $V_{OL} = -5$  ,  $V_{OH} = 5$   
ج.  $V_{OL} = -5$  ,  $V_{OH} = 0.58$   
د.  $V_{OL} = -5$  ,  $V_{OH} = 2.44$

نام درس: الکترونیک دیجیتال

رشته تحصیلی/ کد درس: سخت افزار (تجميع) ۱۱۱۵۲۰۲

تعداد سوالات: تستی: ۲۵ تشریحی: ۴

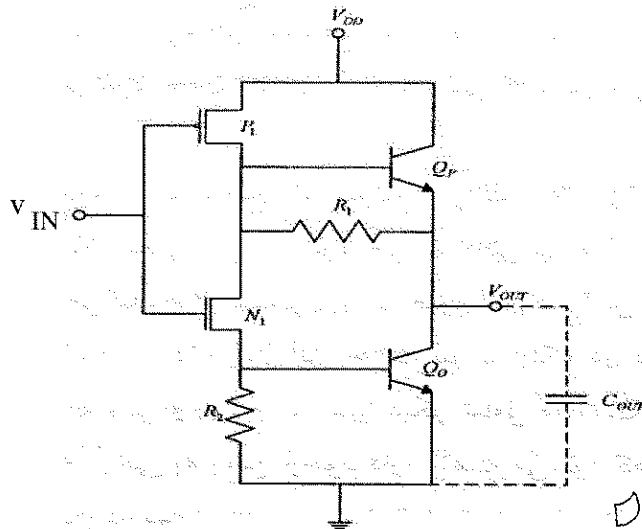
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه

آزمون نمره منفی دارد ○ ندارد ⊗

ممنوع: --- مجاز است.

استفاده از: ---

کد سری سوال: یک (۱)

۲۳. مدار زیر چه عملی انجام داده و به ازای  $V_{in} = 0$  خروجی به کدام مقدار نزدیکتر است؟

الف. Cmos buffer ، صفر

ب. Bcmos not  $V_{DD}$ ج. Bcmos not  $V_{DD} = V_{BE}$ د. Bcmos Boffer  $V_{CE(Sat)}$ 

۲۴. کدام گزینه در مورد تکنولوژی BICMOS غلط است؟

الف. زمان ساخت طولانی و هزینه بالایی دارد.

ب. مصرف توان بیشتری نسبت به دو قطبی ها دارد.

ج. نسبت به COMS سرعت بالایی دارد.

د. نسبت به CMOS جریان دهی بیشتری دارد.

۲۵. کدام گزینه در مورد تکنولوژی گالیوم - آرسناید غلط است؟

الف. وجود زیر لایه نیمه عایق باعث پارازیت کمتر می شود.

ب. خواص نوری و الکتریکی خوبی دارد.

ج. قابلیت تحرک الکترون سیلیکون بسیار بالاتر از گالیوم - آرسناید است.

د. توان مصرفی بسیار کم دارد.

## « سوالات تشریحی »

۱. گیت TTL سه حالت را رسم نموده و استفاده از آن را برای اتصال چند تا خروجی TTL به هم توضیح دهید؟ (۱/۵ نمره)

۲. با استفاده از ترانزیستور عبور یک مالتی پلکسر ۴ بر ۱ بسازید؟ (۱/۵ نمره)

۳. تابع  $A \oplus B = A.\bar{B} + \bar{A}.B$  را با منطق CMOS پیاده سازی کنید. (۱/۵ نمره)

تعداد سوالات: تستی: ۲۵ تشریحی: ۴  
زمان آزمون: تستی: ۷۰ تشریحی: ۷۰ دقیقه  
آزمون نمره منفی دارد ☐ ندارد ☒

نام درس: الکترونیک دیجیتال  
رشته تحصیلی/ کد درس: سخت افزار (تجمع) ۱۱۱۵۲۰۲

منبع: --- مجاز است.

استفاده از: ---

کد سری سؤال: یک (۱)

۴. در مورد مراحل پیش شارژ و تصمیم گیری و نیز چگونگی اتلاف توان ایستا در منطق CMOS پویا توضیح دهید. (۱/۵ نمره)

